

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-114499

(43)公開日 平成7年(1995)5月2日

(51)Int.Cl.\*

G 0 6 F 12/08  
G 1 1 C 11/401

識別記号 庁内整理番号  
Y 7608-5B

F I

技術表示箇所

G 1 1 C 11/ 34

3 6 2 D

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号

特願平5-260627

(22)出願日

平成5年(1993)10月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 柳田 知彦

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マイクロエレクトロニクス

機器開発研究所内

(74)代理人 弁理士 小川 勝男

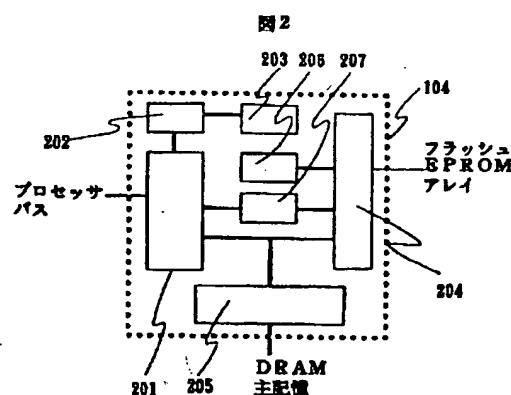
(54)【発明の名称】 フラッシュメモリ仮想メモリシステム

(57)【要約】

【目的】小容量のDRAMでもフラッシュEPROMに直接実行可能形で実行コードを格納することができ、バッテリ駆動に適した不揮発性メモリシステムを提供すること。

【構成】フラッシュEPROMとDRAMのアクセス制御回路に、ページ単位のページアドレス変換テーブルと仮想アドレステーブルを含むページアドレス変換回路を設け、メモリページの制御フラグにより、ページのリマップとロールイン、ロールアウトを制御する。

【効果】安価でバッテリ駆動に適した不揮発性メモリシステムを提供することが可能となり、また、同時にフラッシュEPROMを使用した不揮発性ファイル装置も容易に構成できる。



1

## 【特許請求の範囲】

【請求項1】プロセッサと、記憶装置としてフラッシュE PROMとDRAMをもつ情報処理装置において、記憶装置のアクセス制御回路にページアドレス変換手段とページアドレス格納手段と仮想メモリアドレス変換手段とページ制御フラグをもち、フラッシュE PROMを仮想メモリ装置として仮想記憶管理をおこなうことを特徴とするフラッシュメモリ仮想メモリシステム。

【請求項2】請求項1記載において、実行コードが格納されているメモリページは、フラッシュE PROMにロールアウトせずにページ制御フラグを制御する手段をもつことを特徴とするフラッシュメモリ仮想メモリシステム。

【請求項3】請求項1記載において、ロールアウト処理時に、ページのダーティフラグ状態により、ロールアウト動作を行うか否かを制御する手段をもつことを特徴とするフラッシュメモリ仮想メモリシステム。

【請求項4】請求項1記載において、主記憶メモリに少なくともひとつのスペアページを設け、ページスワップ処理時のロールインはスペアページにおこない、ページのロールアウト処理をロールイン後おこなう制御手段をもつことを特徴とするフラッシュメモリ仮想メモリシステム。

【請求項5】請求項1記載において、仮想アドレステーブルにロールアウトするフラッシュE PROMのブロックのイレーズカウンタを持ち、ブロックのイレーズ回数が均等になるように制御する手段をもつことを特徴とするフラッシュメモリ仮想メモリシステム。

【請求項6】請求項1記載において、実行コードの格納されてメモリページをロールイン処理する際に、データ転送は行わずにアドレス変換によるフラッシュE PROMのダイレクトアクセスをおこなうアドレス変換手段をもつことを特徴とするフラッシュメモリ仮想メモリシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、小型携帯情報処理装置等に利用される、フラッシュメモリ等の低価格な不揮発性メモリを使用した、メモリ管理技術に関する。

## 【0002】

【従来の技術】まず従来技術について説明する。

【0003】従来の携帯可能な小型情報処理装置は、機器の小型化のため、あるいは、バッテリ駆動を行なう等のため、ハードディスクドライブやフロッピーディスクドライブ等のファイル装置を用いずに、フラッシュE PROM等の不揮発性メモリで半導体ファイル装置を構成したものが製品化されている。

【0004】上記半導体ファイル装置で使用されているフラッシュE PROMは、オンボードでイレーズとライトが可能であり、揮発性メモリであるダイナミックRA

2

Mと同等の集積化をおこなうことができる等の、特徴をもつ。

【0005】しかし、バイト単位のイレーズ・書き込みをおこなうことができず、チップ単位、あるいは、ブロック単位にイレーズをおこなう必要があることや、イレーズ時間やライト時間が長い等の、欠点がある。また、イレーズ回数にも寿命制限がある。

【0006】このため、前記欠点を解決し、小型携帯情報処理装置で、フラッシュE PROMを利用する方式として、特開平4-31756号公報に記載の、イレーズやライトのブロック制御方式が提案されている。

【0007】上記半導体ファイル装置を利用したシステムでも、プログラムはシステム装置の主記憶メモリ上にロードされ実行される。

【0008】このため、半導体ファイル装置に実装されるフラッシュE PROMのほかに、主記憶メモリも必要になり、コストアップの要因となっている。

【0009】また、Windows等のOSやアプリケーションプログラムは、機能向上により大型化の傾向にあり、大容量の主記憶メモリが要求され、コストアップになっている。

【0010】小容量の主記憶メモリでもOS、アプリケーションプログラムが実行するため、OS、アプリケーションプログラムを実行形式で、ROMに格納する方法が提案されているが、この方法では、事前にプログラムをROMで実行できるように、形式を変換する必要があり、任意のプログラムに適応する事ができない。

## 【0011】

【発明が解決しようとする課題】以上述べたように、本発明は、フラッシュE PROMに格納された、コードを直接実行可能かつ、小容量の主記憶メモリでもプログラム実行可能な低価格メモリシステムを提供することである。

## 【0012】

【課題を解決するための手段】上記課題は、小容量のDRAMメモリとフラッシュE PROMをもつメモリシステムで、仮想記憶メモリ管理方式により、上記DRAMに実行コードとデータをフラッシュE PROMよりロードあるいは上記DRAMからフラッシュE PROMにストアすることにより達成される。

【0013】つまり、フラッシュE PROMとDRAMのアクセス制御回路にページアドレス変換回路を設け、さらにページ単位のページアドレス変換テーブルと、ページプレゼントビット・アクセスピット・ダーティビット等のメモリページの制御フラグおよび、これらのフラグの制御回路をもつことにより達成される。

【0014】さらに、フラッシュE PROMのブロックイレーズ管理をおこなうイレーズ制御回路をもつ。

【0015】また、上記ページアクセス制御は、プロセッサ内部に持つメモリページング制御回路によりおこな

い、フラッシュE PROMとDRAMアクセス制御回路には、ページアドレス変換のみおこなう方法も考えられる。

【0016】上記仮想記憶管理方式によるフラッシュE PROMとDRAMメモリシステムで、ランダムアクセス可能なフラッシュE PROMを使用した場合には、DRAMにロールインせずに、フラッシュE PROMアドレスをDRAMアドレスにマップし、DRAMメモリ空間のメモリウインドを経由して直接フラッシュE PROMをアクセスすることも考えられる。

【0017】また、フラッシュE PROMのイレーズ管理用に、チップにブロック管理情報を内蔵することにより、容易にライト・イレーズ制御をおこなうことができる。

【0018】このブロック管理情報として、アドレス変換テーブルやブロックのイレーズカウンタが考えられる。

【0019】また、複数のフラッシュE PROMをセレクトする拡張ROMアドレスを前記アドレス変換テーブルにもち、これに、フラッシュE PROMのリードサイクルの始まりで、拡張ROMアドレスをセットする機構を設けても良い。

#### 【0020】

【作用】プロセッサの物理アドレス空間の一部に、実行コードやデータを格納するDRAMで構成される主記憶メモリがマップされ、仮想記憶管理方式により、フラッシュE PROMアレイ上のデータとロールインやロールアウトがおきる。

【0021】つまり、プロセッサは上記主記憶上のメモリページに、実行コードやデータが格納されていることを前提に実行処理され、主記憶上に当該実行コードが格納されたページがない場合、ページアドレス変換回路により、ページフォルトが発生する。

【0022】このページフォルト発生したときには、フラッシュE PROMメモリアクセス制御回路により、実行コードがリードされ、前記DRAM主記憶に格納される。

【0023】上記のようにロールイン操作がおこなわれるが、このとき、DRAM主記憶のページがすべてロード済みだった場合、LRUアルゴリズムにより使用していないページがフラッシュされ、そのちにロールインがおこなわれる。

【0024】ページメモリがフラッシュされるとき、当該メモリページがデータページだった場合、フラッシュE PROMにライトしデータを保存する。

【0025】一般に、フラッシュE PROMのライトアクセスはリードアクセスに比べ遅く、上記手順では、ロールイン速度が低下してしまう。

【0026】そこで、スペアページを設けロールイン処理を先に行い、フラッシュE PROMへのライト処理は

バックグラウンドでおこなう。

【0027】ロールアウト時にブロックのライト・イレーズ管理をおこなうことにより、フラッシュE PROMのイレーズ寿命が低下することはない。

【0028】ランダムアクセス可能なフラッシュE PROMを使用したメモリシステムの場合には、実行コードのロールイン操作によりDRAM主記憶にデータをリードせずに、フラッシュE PROMの当該ページを主記憶メモリ空間にマップするようとする。

10 【0029】これにより、ロールインによるデータ転送が不要になり、仮想記憶管理の処理性能が向上する。

【0030】また、プログラムの大部分が実行コードで有ることから、DRAM主記憶メモリ容量を少なくすることができ、コスト低減が可能となる。

【0031】上記に説明したような、フラッシュE PROMアレイによる仮想記憶管理は、プロセッサのページング機構により制御されるかまたは、フラッシュE PROMとDRAM主記憶のアクセスコントローラにより制御される。

20 【0032】

【実施例】以下、本発明の一実施例を図を参照して説明する。

【0033】図1は、本発明によるフラッシュE PROMアレイを応用了した仮想記憶管理による小型携帯型情報処理装置のメモリシステムの構成を示した図である。

【0034】本実施例のメモリシステムは、プロセッサ101、フラッシュE PROMアレイ103とDRAM主記憶102のアクセス制御を行なうメモリアクセスコントローラ104より構成される。

30 【0035】現在よく使用されるプロセッサ101は、32ビット演算の可能なプロセッサで、4GB容量、32ビットのメモリアドレス空間をもち、ページング機構を内蔵するものである。

【0036】このプロセッサ101の4GBの物理アドレス空間の一部に、実行コードやデータを格納するDRAMで構成されるDRAM主記憶102がマップされ、仮想記憶管理方式により、フラッシュE PROMアレイ103上のデータとロールインやロールアウトがおきる。

40 【0037】プロセッサ101は上記DRAM主記憶102上のメモリページに、実行コードやデータが格納されていることを前提に実行処理され、DRAM主記憶102上に当該実行コードが格納されたページがない場合、メモリアクセスコントローラ104により、ページフォルトが発生する。

【0038】このページフォルト発生したときには、メモリアクセスコントローラ104により、ページフォルトの発生したメモリページの実行コードかアクセスデータがフラッシュE PROMアレイ103からリードされ、前記DRAM主記憶102に格納される。

【0039】つぎに、図2のメモリアクセスコントローラ104の概略構成と図3のメモリのリマップ動作の図を使い、ロールインとロールアウトの動作説明をおこなう。

【0040】メモリアクセスコントローラ104は、プロセッサより出力されるリニアアドレスをDRAM主記憶102の物理アドレスに変換するアドレス変換回路201と、変換アドレスを格納するページアドレス変換テーブル202、ページの状態定義とリプレースメント制御をおこなうページフラグ制御回路203、DRAM主記憶102のアクセス制御を行うDRAMアクセス制御回路205、フラッシュEPROMのリードライトイレーズをおこなうフラッシュEPROMアクセス制御回路204、フラッシュEPROMのブロックイレーズ管理を行いうる回路206から構成される。

【0041】プロセッサ101がリニアアドレスPA0のアクセスをおこなったとき、ページアドレス変換テーブル202にアドレスPA0のページがDRAM主記憶102のアドレスDA0のページに変換するよう設定され、DRAM主記憶102のDA0ページに実行コードやデータが格納されていれば、ページヒットとなり、このページに対してアクセスされる。

【0042】プロセッサ101がリニアアドレスPA1のページアクセスをおこなったとき、ページアドレス変換テーブル202に変換データが設定されていない場合には、ページミスとなり、ページフォルトが発生する。

【0043】このページフォルトの発生により、仮想アドレス変換テーブル207より、ロールインするフラッシュEPROMアレイ103のページ番号FA2を得る。

【0044】つぎに、フラッシュEPROMアレイ103のFA2ページのデータをDRAM主記憶102のDA2ページにストアしロールイン処理をおこない、ページアドレス変換テーブル202の当該ページエントリの設定を行う。

【0045】通常、以上の処理により、ロールイン操作を行う。

【0046】これに先立ち、ロールインするDRAM主記憶102のDA2ページのデータをつぎのようにロールアウトし、DRAM主記憶102のDA2ページのデータの保存を行う。

【0047】このとき、DA2ページが実行コードページとして使われていた場合、通常、コード領域に対するライトアクセスは発生しないため、DA2ページのデータ書き換えは起きていない。

【0048】したがって、実際にはロールアウト動作は発生せず、単に、ページアドレス変換テーブル202の当該ページエントリの変更をおこなうにとどめる。

【0049】この処理により、ライトアクセスタイミングの遅いフラッシュEPROMアレイ103に対するア

クセスが発生せず、高速にページ切り替えをおこなうことができる。

【0050】同様に、データを格納するページに対しても、ページアドレス変換テーブル202のダーティビットを確認することにより、データ変更の発生しなかったページのロールアウト処理はおこなわない。

【0051】また、実際にロールアウトする場合は、DRAM主記憶102のページが、少なくともひとつのスペアページをもつようにロールアウト処理を行う。

【0052】これにより、ライトアクセス時間とイレーズ時間のおおきなフラッシュEPROMアレイ103にたいするライト動作をロールイン処理と並行に行えるため、高速にページ切り替えをおこなうことができる。

【0053】フラッシュEPROMアレイ103にロールアウト処理をおこなうとき、仮想アドレス変換テーブル207のブロックイレーズカウンタ値を参照し、イレーズ制御回路206により、イレーズ回数が均一になるように、フラッシュEPROMアレイ103のブロックライトイレーズ管理をおこなう。

【0054】このとき、フラッシュEPROMアレイ103のイレーズブロックのサイズとDRAM主記憶102のページサイズが同一の場合は、ロールアウトするページを変更し、当該ライトのライト動作を行えばよいが、フラッシュEPROMアレイ103のページサイズがDRAM主記憶102のページサイズの整数倍ある場合には、フラッシュEPROMアレイ103の当該ページの残りのデータとDRAM主記憶102の当該ページデータを、フラッシュEPROMアレイ103の別のページにライトコピーする。

【0055】このとき、フラッシュEPROMアレイ103の当該ページの残りデータが、既にDRAM主記憶102にロールインされていたときには、仮想アドレス変換テーブル207を変更する。

【0056】つまり、DRAM主記憶102のDA6ページが、当初フラッシュEPROMアレイ103のFA5ページより、ロールインされていたとき、フラッシュEPROMアレイ103のFA6ページへのロールアウトが発生すると、FA5ページよりDA6にロールインした残りの実行コードやデータが、FA6にライトコピーされる。

【0057】また、ライトコピーの終了したFA5はイレーズされる。

【0058】これにより、フラッシュEPROMアレイ103のイレーズ寿命を低下させることなくフラッシュEPROMアレイによる仮想メモリシステムを構築することができる。

【0059】図4に、以上述べたプロセッサ101のリニアアドレスページとDRAM主記憶102のアドレスページの対応をしめすページアドレス変換テーブル202の構成をしめす。

【0060】また、図5に、プロセッサ101のリニアアドレスページとフラッシュE PROMアレイ103のアドレスページの対応をしめす仮想アドレステーブル207の構成をします。

【0061】上記、ページアドレス変換テーブル202と仮想メモリアドレステーブル207のテーブルの内容は、リセット時にフラッシュE PROMアレイ103の固定ページからリード設定するか、または、プロセッサ101によるシステム初期化処理のなかで設定する。

【0062】以上述べたフラッシュE PROMアレイ103を使った仮想メモリシステムで、ランダムアクセス可能なフラッシュE PROMを使った場合、アドレス変換回路201で使用する変換アドレスを仮想メモリアドレステーブル207より求めることにより、DRAM主記憶102を使わずにプロセッサ101のリニアアドレスアクセスで、ダイレクトにフラッシュE PROMアレイ103をアクセス可能になる。

【0063】したがって、実行コードの格納されているページをDRAM主記憶102にロールインすることなしに、プログラム実行可能となり、データの書換のおきるデータ領域ページのみDRAM主記憶102にページ確保すればよい。

【0064】これにより、小容量のDRAMの構成で仮想メモリシステムを構築することができコスト低減に効果がある。

【0065】さらに、プロセッサ101によりダイレクトにフラッシュE PROMアレイ103をアクセス可能なページで、ライト動作もダイレクトにおこなう場合は、RAMディスク等のファイル装置として利用可能で

ある。

【0066】フラッシュE PROMアレイ103の一部をRAMディスクとしたときには、簡易に不揮発性シリコンディスクを構成できる利点がある。

【0067】

【発明の効果】本発明によるフラッシュE PROMにより仮想メモリシステムで、小容量のDRAMでもフラッシュE PROMに直接実行可能形で実行コードを格納することができ、バッテリ駆動に適した不揮発性メモリシステムを提供することが可能となる。

【0068】また、フラッシュE PROMを使用した不揮発性ファイル装置も容易に構成でき、OSやアプリケーションプログラムの変更無しに不揮発性システムを構築可能となる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の全体構成概略図である。

【図2】メモリアクセスコントローラの構成図である。

【図3】メモリのリマップ動作を示す図である。

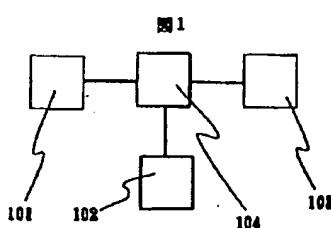
【図4】ページアドレス変換テーブルを示す図である。

【図5】仮想アドレステーブルを示す図である。

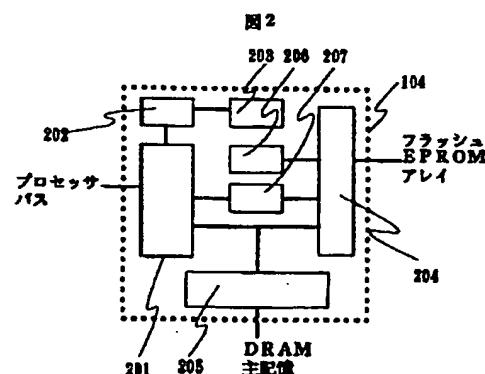
#### 【符号の説明】

101…プロセッサ、102…DRAM主記憶、103…フラッシュE PROMアレイ、104…メモリアクセスコントローラ、201…アドレス変換回路、202…ページアドレス変換テーブル、203…ページフラグ制御回路、204…フラッシュE PROMアクセス制御回路、205…DRAMアクセス制御回路、206…インターフェース制御回路、207…仮想メモリアドレステーブル。

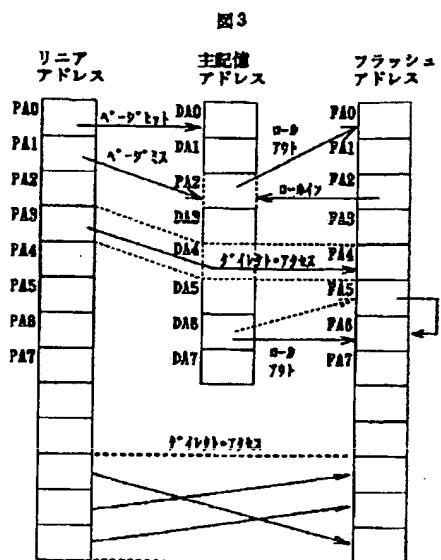
【図1】



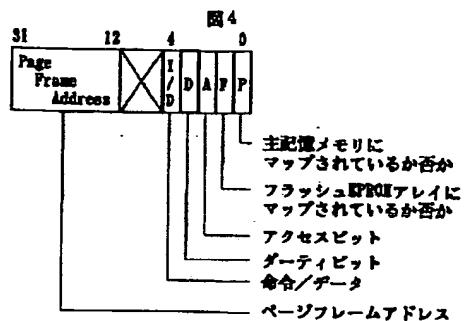
【図2】



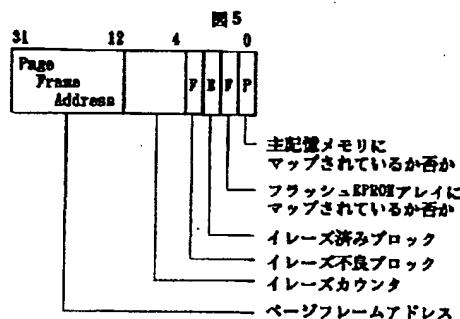
【図3】



【図4】



【図5】



[JP.07-114499.A]

[Claim(s)]

[Claim 1] The flash memory virtual memory system characterized by having a page-address conversion means, a page-address storing means, a virtual memory address conversion means, and a page control flag in the access-control circuit of storage, and performing a virtual memory management by using a Flash EPROM as virtual memory equipment in a processor and the information processor which has a Flash EPROM and DRAM as storage.

[Claim 2] The memory page in which the execution code is stored in the claim 1 publication is a flash memory virtual memory system characterized by having a means to control a page control flag, without carrying out a roll-out to a Flash EPROM.

[Claim 3] The flash memory virtual memory system characterized by having a means to control whether roll-out operation is performed according to the dirty flag state of a page in claim 1 publication at the time of roll-out processing.

[Claim 4] It is the flash memory virtual memory system characterized by having the control means which prepare at least one spare page in primary-storage memory, perform the roll-in at the time of page-swapping processing to a spare page in claim 1 publication, and perform roll-out processing of a page after a roll-in.

[Claim 5] The flash memory virtual memory system characterized by having a means to control so that it has the erasion counter of the block of a Flash EPROM which carries out a roll-out to a virtual address table in claim 1 publication and the number of times of erasion of a block becomes equal.

[Claim 6] It is the flash memory virtual memory system characterized by having an address translation means to perform the direct access of the Flash EPROM by address translation, without data transfer carrying out in case an execution code is stored and roll-in processing of the memory page is carried out in claim 1 publication.

\* NOTICES \*

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the memory management technology which is used for a small pocket information processor etc. and which used low price flash memory non-volatile memory.

[0002]

[Description of the Prior Art] The conventional technology is explained first.

[0003] What constituted semiconductor file equipment from non-volatile memory, such as a Flash EPROM, is produced commercially for the small information processor in which the conventional cellular phone is possible performing the battery drive for the miniaturization of a device etc., without using file equipments, such as a hard disk drive and a floppy disk drive.

[0004] The Flash EPROM currently used with the above-mentioned semiconductor file equipment is on board, and erasure and a light are possible for it and it has the feature [ perform / integration equivalent to the dynamic RAM which is volatile memory ].

[0005] However, erasure and the writing of a byte unit cannot be performed, but there is a fault, like that it is necessary to erase per a chip unit or block; erasure time, and light time are long. Moreover, the number of times of erasure also has a life limit.

[0006] For this reason, the aforementioned fault is solved and the block control system of erasure given [ as a method ] in JP,4-31756,A or a light which uses a Flash EPROM with a small pocket information processor is proposed.

[0007] Also by the system using the above-mentioned semiconductor file equipment, a program is loaded on the primary-storage memory of a system unit, and is performed.

[0008] For this reason, primary-storage memory is also needed besides the Flash EPROM mounted in semiconductor file equipment, and it has become the factor of a cost rise.

[0009] Moreover, it is in the inclination of enlargement by improvement in functional, mass primary-storage memory is required, and OS's and application programs, such as Windows, have become a cost rise.

[0010] Although OS and the method of storing an applique SHUN program in ROM by execute form are proposed in order that OS and an application program may perform also by the primary-storage memory of small capacity, it is necessary to change form and cannot be adapted for arbitrary programs by this method so that a program can be performed by ROM in advance.

[0011]

[Problem(s) to be Solved by the Invention] this invention is being a direct execute permission about the code which was described above and which was stored in the Flash EPROM, and offering the low-price memory system in which program execution's is possible also by the primary-storage memory of small capacity like.

[0012]

[Means for Solving the Problem] The above-mentioned technical problem is a memory system with the DRAM memory and the Flash EPROM of small capacity, and is attained by carrying out the store of an execution code and the data to Above DRAM from loading or Above DRAM from a Flash EPROM with a virtual-memory memory management method at a Flash EPROM.

[0013] That is, a page-address conversion circuit is prepared in the access-control circuit of a Flash EPROM and DRAM, and it is attained by having the page-address translation table of a page unit, and the control circuit of the control flags of memory pages, such as a page present bit access bit dirty bit, and these flags further.

[0014] Furthermore, it has the erasure control circuit which performs block erasure management of a Flash EPROM.

[0015] Moreover, the memory paging control circuit which it has in the interior of a processor

performs the above-mentioned page access control, and the method of performing only page address conversion is also considered by a Flash EPROM and the DRAM access-control circuit.

[0016] Remapping the Flash EPROM address to the DRAM address, without carrying out a roll-in to DRAM, and accessing a direct Flash EPROM via the memory window of DRAM room, when the Flash EPROM by the above-mentioned virtual-memory-management method and the Flash EPROM in which random access is possible at a DRAM memory system are used is also considered.

[0017] Moreover, light erasure control can be easily carried out to erasure management of a Flash EPROM by building block management information in a chip.

[0018] As this block management information, an address translation table and the erasure counter of a block can be considered.

[0019] Moreover, it may have the extended ROM address which selects two or more Flash EPROMs in the aforementioned address translation table, and the mechanism which sets an extended ROM address to this by the beginning of the read cycle of a Flash EPROM may be established.

[0020] [Function] the map of the primary-storage memory which consists of DRAMs which store an execution code and data in a part of physical address space of a processor is carried out, and the data and the roll-in on a Flash EPROM array, and a roll-out cut with a virtual-memory-management method

[0021] That is, executive operation of the processor is carried out a premise [ an execution code and data being stored in the memory page on the above-mentioned primary storage ], and when there is no page in which the execution code concerned was stored on the primary storage, a page fault generates it by the page-address conversion circuit.

[0022] When [ this ] page fault generating is carried out, an execution code is led by the Flash EPROM memory access control circuit, and it is stored in the aforementioned DRAM primary storage.

[0023] Although roll-in operation is performed as mentioned above, when all the pages of a DRAM primary storage are load ending at this time, the flash plate of the page which is not used by the Least Recently Used algorithm is carried out, and a roll-in is performed after it.

[0024] When the flash plate of the page memory is carried out and the memory page concerned is a data page, a light is carried out to a Flash EPROM and data are saved.

[0025] Generally, light access of a Flash EPROM will be slow compared with lead access, and roll-in speed will fall in the above-mentioned procedure.

[0026] Then, a spare page is prepared, roll-in processing is performed previously, and light processing to a Flash EPROM is performed in the background.

[0027] The erasure life of a Flash EPROM does not fall by performing light erasure management of a block at the time of a roll-out.

[0028] In the case of the memory system which used the Flash EPROM in which random access is possible, the page concerned of a Flash EPROM is remapped in primary-storage room, without leading data by roll-in operation of an execution code at a DRAM primary storage.

[0029] Thereby, the data transfer by the roll-in becomes unnecessary, and the processability

ability of a virtual memory management improves.

[0030] Moreover, since there is the great portion of program in execution code, DRAM primary-storage memory space can be lessened and cost reduction becomes possible.  
[0031] The virtual memory management by Flash EPROM array which was explained above is controlled by the paging mechanism of a processor, or is controlled by the access controller of a Flash EPROM and a DRAM primary storage.

[0032]

[Example] Hereafter, one example of this invention is explained with reference to drawing.  
[0033] Drawing 1 is drawing in which the composition of the memory system of the small carrying type information processor by the virtual memory management adapting the Flash EPROM array by this invention was shown.

[0034] The memory system of this example consists of memory access controllers 104 which perform the access control of a processor 101, the Flash EPROM array 103, and the DRAM primary storage 102.

[0035] The processor 101 often used now is possible pro SESSASHI of 32 bit operations, has 4GB capacity and 32-bit memory address space, and builds in a paging mechanism.

[0036] the map of the DRAM primary storage 102 which consists of DRAMs which store an execution code and data in 4GB of physical address space [ a part of ] of this processor 101 is carried out, and the data and the roll-in on the Flash EPROM array 103, and a roll-out cut with a virtual-memory-management method

[0037] Executive operation of the processor 101 is carried out a premise [ an execution code and data being stored in the memory page on the above-mentioned DRAM primary storage 102 ], and when there is no page in which the execution code concerned was stored on the DRAM primary storage 102, a page fault generates it by the memory access controller 104.

[0038] When [ this ] page fault generating is carried out, by the memory access controller 104, the execution code or access data of a memory page which the page fault generated is led from the Flash EPROM array 103, and is stored in the aforementioned DRAM primary storage 102.

[0039] Drawing of remapping operation of the outline composition of the memory access controller 104 of drawing 2 and the memory of drawing 3 is used for the next, and explanation of a roll-in and a roll-out of operation is performed to it.

[0040] The address translation circuit 201 where the memory access controller 104 changes into the physical address of the DRAM primary storage 102 the linear address outputted from a processor. The conversion address Read/write erasure of the page-address translation table 202 to store, the page flag control circuit 203 which performs state definition of a page, and, replacement MENTO control, the DRAM access-control circuit 205 which performs the access control of the DRAM primary storage 102, and a Flash EPROM It consists of a Flash EPROM access-control circuit 204 to perform and an erasure control circuit 206 which performs block erasure management of a Flash EPROM.

[0041] If it is set up so that the page of the address PA 0 may change into the page-address translation table 202 at the page of the address DA 0 of the DRAM primary storage 102 and an execution code and data are stored in the page 0 of DA of the DRAM primary storage 102 when a processor 101 accesses the linear address PA 0, it will become a page hit and will be accessed to this page.

[0042] When a processor 101 performs page access of the linear address PA 1 and conversion

data are not set as the page-address translation table 202, it becomes a page mistake and a page fault occurs.

[0043] By generating of this page fault, page number FA2 of the Flash EPROM array 103 which carries out a roll-in is obtained from the virtual-address translation table 207.

[0044] Next, the store of the data of the page 2 of FA of the Flash EPROM array 103 is carried out to the page 2 of DA of the DRAM primary storage 102, roll-in processing is performed, and the page entry concerned of the page-address translation table 202 is set up.

[0045] Usually, the above processing performs roll-in operation.

[0046] In advance of this, the roll-out of the data of the page 2 of DA of the DRAM primary storage 102 which carries out a roll-in is carried out as follows, and the data of the page 2 of DA of the DRAM primary storage 102 are saved.

[0047] When the page 2 of DA is used as an execution code page at this time, since light access to a coding region is not generated, data rewriting of the page 2 of DA has not usually occurred.

[0048] Therefore, roll-out operation is stopped [not generating but only changing the page entry concerned of the page-address translation table 202, and] in fact.

[0049] By this processing, access to the late Flash EPROM array 103 of light access timing does not occur, but a page switch can be performed at high speed.

[0050] Roll-out processing of the page which data change did not generate is not performed by similarly checking the dirty bit of the page-address translation table 202 also to the page which stores data.

[0051] Moreover, when actually carrying out a roll-out, the page of the DRAM primary storage 102 performs roll-out processing so that it may have at least one spare page.

[0052] Since light operation to the big Flash EPROM array 103 of the light access time and erasion time can be performed in parallel with roll-in processing by this, a page switch can be performed at high speed.

[0053] When performing roll-out processing to the Flash EPROM array 103, with reference to the block erasion counter value of the virtual-address translation table 207, the erasion control circuit 206 performs block light erasion management of the Flash EPROM array 103 so that the number of times of erasion may become uniform.

[0054] although what is necessary is to change the page which carries out a roll-out and just to perform light operation of the light concerned at this time, when the size of an erasion block of the Flash EPROM array 103 and the page size of the DRAM primary storage 102 are the same -- the page size of the Flash EPROM array 103 -- \*\*\*\*\* of the page size of the DRAM primary storage 102 -- in a certain case, the light copy of the remaining data of the page of the Flash EPROM array 103 concerned and the page data concerned of the DRAM primary storage 102 is carried out at another

[0055] When the roll-in of the remaining data of the page of the Flash EPROM array 103 concerned has already been carried out to the DRAM primary storage 102 at this time, the virtual-address translation table 207 is changed.

[0056] That is, if the roll-out to the page 6 of FA of the Flash EPROM array 103 occurs when the roll-in of the page 6 of DA of the DRAM primary storage 102 is carried out at the beginning than the page 5 of FA of the Flash EPROM array 103, the light copy of the remaining execution code and remaining data which carried out the roll-in to DA6 from the

page 5 of FA will be carried out at FA6.

[0057] Moreover, it erases FA5 which the light copy ended.

[0058] Thereby, the virtual memory system by the Flash EPROM array can be built without reducing the erosion life of the Flash EPROM array 103.

[0059] The composition of the page-address translation table 202 which shows the correspondence of the linear address page of a processor 101 and the address page of the DRAM primary storage 102 stated to drawing 4 above is shown.

[0060] Moreover, the composition of the virtual address table 207 which shows drawing 5 to correspondence of the linear address page of a processor 101 and the address page of the Flash EPROM array 103 is shown.

[0061] The content of the table of the above, the page-address translation table 202, and the virtual memory address table 207 carries out a lead setup from the fixed page of the Flash EPROM array 103 at the time of reset, or is set up in the system initialization processing by the processor 101.

[0062] When the Flash EPROM in which random access is possible is used by the virtual memory system using the Flash EPROM array 103 described above, it becomes accessible about the Flash EPROM array 103 direct by linear address access of a processor 101 by searching for the conversion address used in the address translation circuit 201 from the virtual memory address table 207, without using the DRAM primary storage 102.

[0063] Therefore, without carrying out the roll-in of the page in which the execution code is stored to the DRAM primary storage 102, program execution becomes possible and only the data area page which rewriting of data cuts should carry out page reservation at the DRAM primary storage 102.

[0064] Thereby, a virtual memory system can be built with the composition of DRAM of small capacity, and an effect is in cost reduction.

[0065] Furthermore, when it is an accessible page and light operation also performs the Flash EPROM array 103 direct by the processor 101, it can use as file equipments, such as a RAM disk.

[0066] When a part of Flash EPROM array 103 is made into a RAM disk, there is an advantage which can constitute a simply nonvolatile silicon disc.

[0067]  
[Effect of the Invention] An execution code can be stored in a Flash EPROM with direct execute-permission type also by DRAM of small capacity at a virtual memory system, and the Flash EPROM by this invention enables it to offer the nonvolatile memory system suitable for the battery drive.

[0068] Moreover, the nonvolatile file equipment which used the Flash EPROM can also be constituted easily, and construction of a nonvolatile system of it is attained without change of OS or an application program.